



PATENT

Docket No. JCLA10372

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : KWUN-YAO HO et al.
Application No. : 10/723,971
Filed : November 25,2003

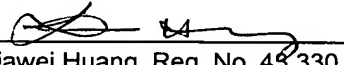
Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

March 24, 2004

(Date)

For : VERTICAL ROUTING STRUCTURE


Jiawei Huang, Reg. No. 43,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92202068** filed on **February 07, 2003**.

A return prepaid postcard is also included herewith.

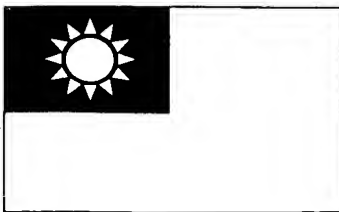
It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA10372).

Date: 3/24/2004

By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 02 月 07 日
Application Date申請案號：092202068
Application No.申請人：威盛電子股份有限公司
Applicant(s)局長
Director General

蔡練生

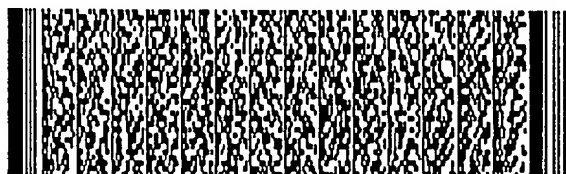
發文日期：西元 2003 年 12 月 8 日
Issue Date發文字號：09221242490
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

新型專利說明書

| | | |
|--------------------|-----------------------|--|
| 一、 新型名稱 | 中 文 | 垂直繞線結構 |
| | 英 文 | VERTICAL ROUTING STRUCTURE |
| 二、 創作人 (共2人) | 姓 名 (中文) | 1. 何昆耀 |
| | 姓 名 (英文) | 1. Kwun-Yao Ho |
| | 國 籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (中 文) | 1. 新店市中正路533號8樓 |
| | 住居所 (英 文) | 1. 8F., No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C. |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中文) | 1. 威盛電子股份有限公司 |
| | 名稱或 姓 名 (英文) | 1. VIA Technologies, Inc. |
| | 國 籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中 文) | 1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英 文) | 1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C. |
| | 代表人 (中文) | 1. 王雪紅 |
| | 代表人 (英文) | 1. Hsiueh-Hong WANG |



10372twf.pptd

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

新型專利說明書

| | | |
|--------------------|----------------------|--|
| 一、 新型名稱 | 中文 | |
| | 英文 | |
| 二、 創作人 (共2人) | 姓名 (中文) | 2. 宮振越 |
| | 姓名 (英文) | 2. Moriss Kung |
| | 國籍 (中英文) | 2. 中華民國 TW |
| | 住居所 (中文) | 2. 新店市中正路533號8樓 |
| | 住居所 (英文) | 2. 8F., No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C. |
| 三、 申請人 (共1人) | 名稱或姓名 (中文) | |
| | 名稱或姓名 (英文) | |
| | 國籍 (中英文) | |
| | 住居所 (營業所) (中文) | |
| | 住居所 (營業所) (英文) | |
| | 代表人 (中文) | |
| | 代表人 (英文) | |



四、中文創作摘要 (創作名稱：垂直繞線結構)

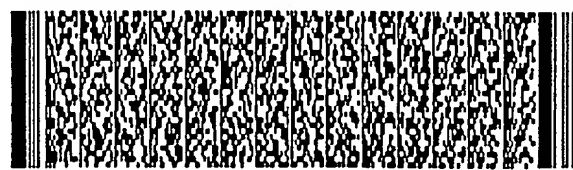
一種垂直繞線結構，適用於一基板，用以電性連接二導線，其中二導線係分別配置於基板之一疊合層之頂面及底面，此垂直繞線結構包括一導電柱及二接合墊。其中，導電柱係貫穿疊合層，且導電柱之頂面及底面係分別暴露於疊合層之頂面及底面。此外，二接合墊係分別配置於該導電柱之頂面及底面，且二接合墊係分別連接於上述之二導線，而二接合墊之一的橫向截面積係小於導電柱之橫向截面積。此垂直繞線結構係可縮小基板於水平方向上的面積，並相對地提高基板之繞線密度。

伍、(一)、本案代表圖為：第__2A__圖

(二)、本案代表圖之元件代表符號簡單說明：

陸、英文創作摘要 (創作名稱：VERTICAL ROUTING STRUCTURE)

A vertical routing structure is suited for a substrate to connect two traces that are individually deposited on the top surface and the bottom surface of a laminated layer of the substrate. The vertical routing structure comprises a conductive rod and two bonding pads. The rod passes through the laminated layer and the top surface and the bottom surface of the rod are individually even with the top surface and the bottom surface of the laminated layer. These two bonding pads are individual deposited on the top

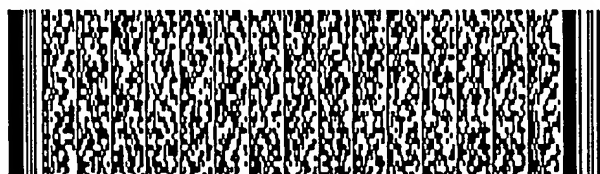


四、中文創作摘要 (創作名稱：垂直繞線結構)

| | |
|------------|------------|
| 200 : 基板 | 202 : 疊合層 |
| 202a : 頂面 | 202b : 底面 |
| 210 : 介電層 | 212a : 貫孔 |
| 220 : 導線層 | 222 : 導線 |
| 232 : 導電柱 | 234a : 接合墊 |
| 234b : 接合墊 | |

陸、英文創作摘要 (創作名稱：VERTICAL ROUTING STRUCTURE)

surface and the bottom surface of the laminated layer. These two bonding pads are individually connected to the two wires. The transversely section area of one of two bonding pads is smaller than the transversely section of the rod. The vertical routing structure can reduce the horizontal area of a substrate and increase the routing density of the substrate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

【 新型所屬之技術領域 】

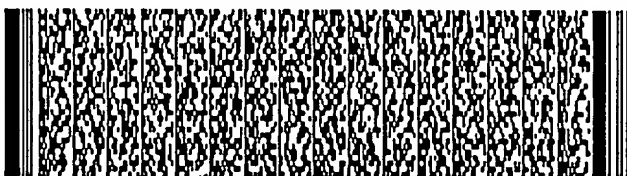
本創作是有關於一種垂直繞線結構，且特別是有關於一種適用於基板之垂直繞線結構。

【 先前技術 】

覆晶接合技術 (Flip Chip Bonding Technology) 主要是利用面陣列 (area array) 的排列方式，將多個晶片墊 (die pad) 配置於晶片 (die) 之主動表面 (active surface)，並在各個晶片墊上形成凸塊 (bump)，接著再將晶片翻面 (flip) 之後，利用晶片之晶片墊上的凸塊分別電性 (electrically) 及機械性 (mechanically) 連接至承載器 (carrier) 之表面所對應的接合墊 (bonding pad)。因此，由於覆晶接合技術可應用於高接腳數

(High Pin Count) 之晶片封裝結構，並具有縮小封裝面積及縮短訊號傳輸路徑等優點，使得覆晶接合技術目前已經廣泛地應用在晶片封裝領域。值得注意的是，由於基板 (substrate) 可同時提供高密度接點及微細化線路，所以基板亦已成為目前晶片封裝領域所最常見之覆晶接合用的承載器。

請參考第1A圖，其繪示習知之一種六層導線層之基板的局部剖視圖。基板100乃是以一絕緣芯層 (dielectric core) 110c作為基礎，並利用機械鑽孔 (mechanical drill) 的方式，同時鑿穿絕緣芯層110c以形成多個貫孔112a。接著，再利用電鍍法 (plating)，將導電材料形成於貫孔112a之內壁及絕緣芯層110c之上下側面，並填入



五、創作說明 (2)

樹脂材料於貫孔112a之內部空間，用以形成多個鍍通插塞 (through via) 130a (僅繪示其一)。為了簡化說明，下文僅說明絕緣芯層110c之上側各層的形成流程。之後，再形成一未圖案化之導線層120c於導線層120d之表面，並同時圖案化導線層120c及導線層120d，用以形成線路於絕緣芯層110c之上側面。

請同樣參考第1A圖，再形成一介電層110b於導線層120c之上，並利用微影 (photolithography) 的方式，圖案化介電層110b，用以形成多個開口112b (僅繪示其一) 於介電層110b上。之後，再填入導電材料於開口112b之內，用以形成導通插塞 (conductive via) 130b。接著，形成一未為圖案化之導線層120b於介電層110b上，並圖案化導線層120b，且導線層120b具有接合墊124b。然後，重複上述之形成介電層110b及導線層120b的數個步驟，用以依序形成介電層110a及導線層120a於導線層120b之上。此外，更可重複上述之步驟，而依序形成導線層120f、介電層110d、導線層120g、介電層110e及導線層120h於絕緣芯層110c之下側，最後完成具有六層線路之基板100，其中導線層120c及導線層120d可視為同一導線層，而導線層120e及導線層120f則可視為同一導線層。

請同時參考第1B及1C圖，其中第1B圖繪示第1A圖之局部俯視圖，而第1C圖繪示第1B圖之I-I線的局部剖視圖。就習知之基板 (如第1A圖所示之基板100) 而言，導線層120a及導線層120b之間的電性連接乃是經由這些導電插塞

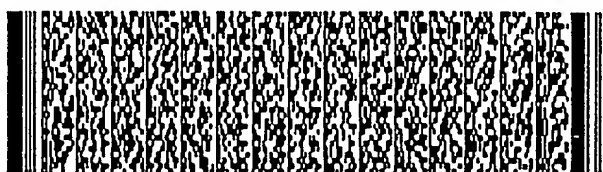
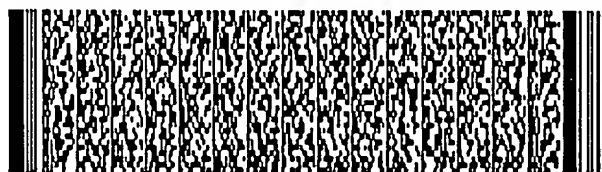


五、創作說明 (3)

130b 來達成，而導電插塞130b之頂端係連接導線層120a所形成之接合墊124a，且導電插塞130b之底端則連接導線層120b所形成之接合墊124b。此外，導線層120除形成這些接合墊124以外，導線層120更形成多條導線 (trace) 122，而這些導線122係分別穿插於這些接合墊122之間。

請同樣參考第1B及1C圖，就習知技術而言，由於介電層110a之開口112b乃是利用微影的方式來加以形成，所以開口112b之底端的孔徑最小僅可達60微米。此外，介電層110a在進行微影製程時，為了提供開口112b與接合墊124b之間具有足夠的對位裕度 (tolerance)，例如約30微米的對位裕度，所以接合墊124b之直徑最小僅可達120微米，即 $(60 + 30 \times 2)$ 微米。另外，導線層120a在進行圖案化製程 (通常為微影蝕刻製程) 時，為了有效地形成接合墊124與其相鄰之導線122，藉以避免接合墊124與其相鄰之導線122之間發生短路，所以接合墊124與其相鄰之導線122之間的間距P1最小會設定在50微米，如第1A及1B圖所示。

請同時參考第1A~1C圖，當導線層120a及導線層120b之間設計經由一導電插塞130b來相互電性連接時，當導電插塞130b之底端的外徑係為60微米，而導電插塞130b之底端的接合墊124b必須提供30微米的對位裕度，且上述之接合墊124b與導線層120b之間必須提供50微米的對位裕度時，將使得第1A圖所示之基板100在水平方向上，必須至少提供出直徑為220 (即 $60 + 30 \times 2 + 50 \times 2$) 微米之圓形



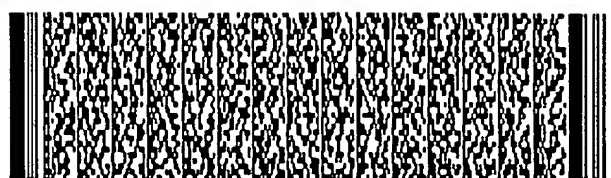
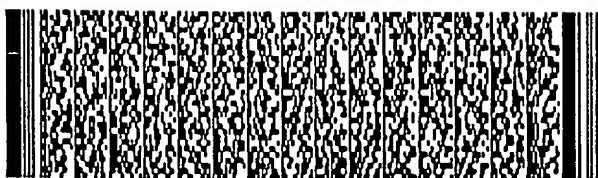
五、創作說明 (4)

區域的橫向截面積。然而，當第1A圖所示之基板100所需傳遞之訊號路徑越多時，如此將相對增加導電插塞130b之數目，因而相對增加基板100於水平方向上的面積。此外，如第1圖所示，由於絕緣芯層110c之貫孔112a通常是由機械鑽孔來加以形成，使得貫孔112a之孔徑D1最小僅可達到100微米，因而相對使得鍍通插塞130a（包含鍍層部分）之外徑最小僅可達到160微米，進而相對增加基板100於水平方向上的面積。因此，習知之由增層法（Build-up）所製作之基板100，特別是具有埋設式導電插塞130b（即埋孔（embedded via））及鍍通插塞130a之傳統設計的基板100，其於水平方向上的面積不易縮小，因而無法有效地提升此基板100之繞線密度。

【新型內容】

有鑑於此，本創作之目的就是在提供一種垂直繞線結構，適用於電性連接基板之任二兩導線層所分別形成的導線，用以相對縮小基板於水平方向上的面積，因而相對提高基板之繞線密度。

為達本創作之上述目的，本創作提出一種垂直繞線結構，適用於一基板，用以電性連接二導線，其中二導線係分別配置於基板之一疊合層之頂面及底面，此垂直繞線結構包括一導電柱及二接合墊。其中，導電柱係貫穿疊合層，且導電柱之頂面及底面係分別暴露於疊合層之頂面及底面。此外，二接合墊係分別配置於該導電柱之頂面及底面，且二接合墊係分別連接於上述之二導線，而二接合墊



五、創作說明 (5)

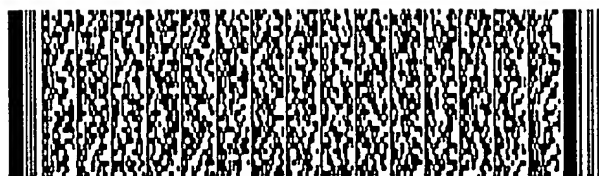
之一的橫向截面積係小於導電柱之橫向截面積。

基於上述，本創作之垂直繞線結構係適用於一基板，並藉由導電柱搭配二接合墊的特殊設計，故可有效地縮小基板於水平方向上的面積，並相對地提高基板之繞線密度，且可大幅降低基板之製程步驟及製程成本，更可顯著地降低基板之繞線的複雜度。

為讓本創作之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參考第2A圖，其繪示本創作之較佳實施例的一種垂直繞線結構，其應用於一基板的局部剖視圖。本較佳實施例之垂直繞線結構係適用於一基板200，例如覆晶接合用之承載器或一般印刷電路板，本較佳實施例乃是以六層導線層之基板200作為舉例，但不限於六層導線層之基板，任何導線層之數目大於二的基板均可通用。首先，基板200主要係由多層介電層210及圖案化之多層導線層220所堆疊而成，其中基板200之製程除可利用習知之增層法，來逐次形成多層介電層210及多層導線層220以外，亦可利用習知之壓合法 (laminates)，將多層介電層210及多層已圖案化之導線層220同時壓合，以形成大部分之基板200，例如圖示之疊合層202。值得注意的是，就本較佳實施例而言，基板200之疊合層202主要係由介電層210a、導線層220b、介電層210b、導線層220c、介電層210c、導線

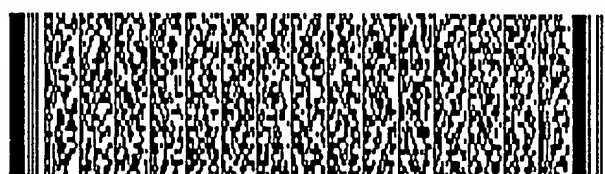
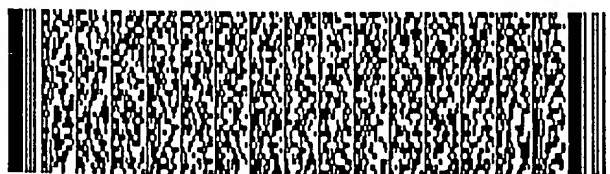


五、創作說明 (6)

層220d、介電層210d、導線層220e及介電層210e所構成。

請同樣參考第2A圖，在製作完成基板200之疊合層202以後，更可利用機械式鑽孔或雷射鑽孔 (laser drill) 的方式，形成貫孔212a於疊合層202，其中貫孔212a係貫穿疊合層202，且貫孔212a之內壁面係連接疊合層200之頂面202a及底面202b。接著，填入導電材料於貫孔212a之內，用以形成一導電柱232，其頂面及底面係分別暴露於疊合層202之頂面202a及底面202b。最後，分別形成圖案化之導線層220a及圖案化之導線層220b於疊合層202之頂面202a及底面202a，其中導線層220a係形成多個接合墊234a及多條導線222a，同時導線層220b亦形成多個接合墊234b及多條導線222b。值得注意的是，本較佳實施例之垂直繞線結構包括有上述之導電柱232、接合墊234a及接合墊234b，其中接合墊234a係配置於導電柱232之頂面，且並連接導線222a，且接合墊234a之橫向截面積係小於該導電柱232之橫向截面積，並且接合墊234b係配置於導電柱232之底面，而接合墊234b係連接於導線222b。因此，導線層220a所形成的導線222a係可連接至對應之接合墊234a，並經由導電柱232而垂直地向下繞線，因而電性連接至導線層220f所形成的接合墊234b，再經由對應之導線222b而水平地向外繞線至其他區域（例如繞線至其他之接合墊）。

請同樣參考第2A圖，在電源或接地的電性考量之下，基板200必須提供較大面積之共用電源層或共用接地層，

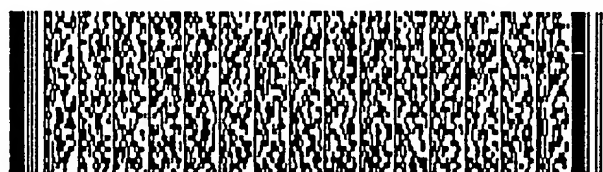
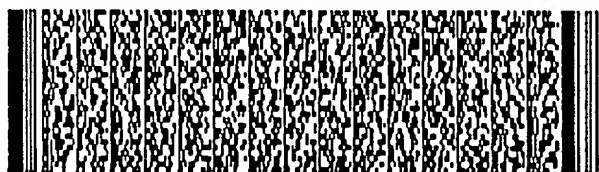


五、創作說明 (7)

例如以導線層220c作為共用電源層或共用接地層，如此一來，導線層220c（電源層或接地層）無須在對應之位置形成空孔，讓導電柱232直接地連接至導線層220c（電源層或接地層），並可經由導線層220a之接合墊234a及導線222a而在基板200之疊合層202的頂面202a進行水平方向上的繞線，且可經由導線層220b之接合墊234b及導線222b而在基板200之疊合層202的頂面202b進行水平方向上的繞線。

請同樣參考第2A圖，在電性連接之信賴性的考量之下，更可選擇性地在填充導電材料於貫孔212a之前，預先電鍍一金屬層（未繪示）於貫孔212a之內壁面，接著再填充導電材料於貫孔212a之內，以形成導電柱232，如此將可確保導電柱232之側緣能夠連接至導線層（例如導線層220c）。並且，頂面之接合墊234a與底面之接合墊234b亦不會受到上述之製程局部改變所造成的影響。

本較佳實施例之垂直繞線結構除可應用於多層導線層之基板（例如第2A圖之六層導線層的基板200）以外，更可應用於雙層導線層之基板。請參考第2B及2C圖，其中第2B圖繪示本創作之較佳實施例的垂直繞線結構，其應用於一雙層導線層之基板的局部剖視圖，而第2C圖繪示第2B圖之II-II線的剖視圖。基板201僅包括圖案化之導線層220a、介電層210及圖案化之導線層220b，其中導線層220a及導線層220b係分別位於介電層210之頂面及底面，其中兩導線層220係分別形成多個接合墊234及多條導線

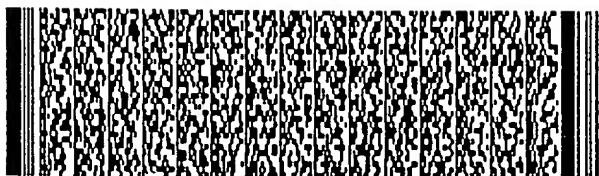


五、創作說明 (8)

234。此外，導電柱232係貫穿介電層210。值得注意的是，本較佳實施例於第2B及2C圖之垂直繞線結構230包括導電柱232、接合墊234a及接合墊234b。同樣地，上面之導線層220a所形成的導線222a係可依序經由接合墊234a、導電柱232及接合墊234b，而電性連接至導線層220b所形成的導線222a。此外，第2A圖之疊合層202除可由多層介電層210及多層導線層220所交錯疊合而成以外，亦可由單一介電層210所構成（如第2C圖所示）。

請同時參考第1A及2A圖，如第2A圖所示，垂直繞線結構之導電柱232係可同時連接至少二層導線層（例如導線層210a、導線層210c及導線層210f），故可取代習知之第1A圖所示之複雜的垂直繞線設計，如第1A圖所示，即導線層120a之導線122a必須依序經由二導電插塞130b、鍍通插塞130a及另二導電插塞130b，而垂直地向下電性連接至導線層120h之導線122h。因此，就製程之複雜度而言，本較佳實施例之垂直繞線結構係較習知之垂直繞線設計簡化許多，所以應用本較佳實施例之垂直繞線結構的基板，其製程步驟將可大幅減少，並且其製程成本亦可相對地大幅降低。

請同時參考第1A、2A圖，由於疊合層202之貫孔212b乃是利用機械式鑽孔或雷射鑽孔的方式來加以形成，所以貫孔212b之孔徑至少可縮小到100微米，意即導電柱232之外徑D2將可縮小到100微米，相對地接合墊234a及接合墊234b亦小於100微米。因此，相較於第1A圖所示之外徑大

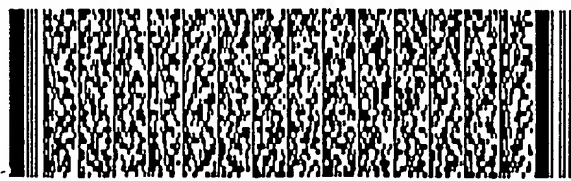
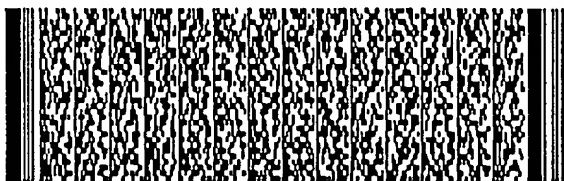


五、創作說明 (9)

於100微米的接合墊124a及接合墊124b，接合墊234a及接合墊234b之外徑較小，連帶使得接合墊234a及接合墊234b之所佔有基板200於水平方向上的面積較小，進而提升基板200之繞線密度。

請同時參考第1A、2A圖，由於疊合層202之貫孔212b乃是利用機械式鑽孔或雷射鑽孔的方式來加以形成，並且接合墊234之橫向截面積係小於導電柱232之頂面的面積，所以導電柱232與導線層220b之間的預設間距G（約30微米）將可小於習知之第1B圖之接合墊124與導線122c之間距P1（約50微米），使得第2A圖之基板200僅需提供出直徑約為160（即 $100 + 30$ ）微米之圓形區域的橫向截面積，遠低於習知之基板100必須提供出直徑約220微米之圓形區域的橫向截面積。因此，相較於第1A圖所示之導電插塞124所佔基板100於水平方向上的面積，本較佳實施例之導電柱232其所佔基板200於水平方向上的面積相對較小，故可同樣有效地提升基板200之繞線密度。

請再參考第2B圖，由於接合墊234a之橫向截面積係小於導電柱232之橫向截面積，所以接合墊234a與導線222c之間距P2的重要性，將遠低於導電柱232之頂面（或頂端）與導線之間距G的重要性。因此，在繞線設計上，僅需考慮導電柱232與接合墊234a之間的對位精準度，即導電柱232與導線222c之間的對位精準度，此乃起因於接合墊234a及導線222c均係由第2C圖所示之導線層220a所同時形成。



五、創作說明 (10)

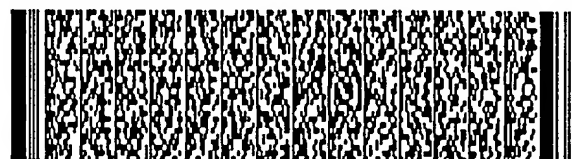
綜上所述，本創作之垂直繞線結構具有下列優點：

(1) 本創作之垂直繞線結構乃是利用簡單的製程步驟而形成於基板上，並無習知以增層法來製作基板的繁瑣步驟，故可有效地降低基板之製程步驟的數目，進而大幅降低基板之製程成本。

(2) 本創作之垂直繞線結構係可利用機械式鑽孔或雷射鑽孔的方式來形成貫孔於基板，並填入導電材料至貫孔之內，用以形成導電柱，使得導電柱之所佔有基板於水平方向上的面積較小，因而有助於提升基板之繞線密度。

(3) 本創作之垂直繞線結構係由導電柱及二接合墊所構成，並可對應電性連接相鄰或不相鄰之導線層，且可同時連接二層及二層以上之導線層，因而顯著地降低基板之繞線的複雜度。

雖然本創作已以一較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作些許之更動與潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖繪示習知之一種六層導線層之基板的局部剖視圖。

第1B圖繪示第1A圖之局部俯視圖。

第1C圖繪示第1B圖之I-I線的局部剖視圖。

第2A圖繪示本創作之較佳實施例的一種垂直繞線結構，其應用於一基板的局部剖視圖。

第2B圖繪示本創作之較佳實施例的垂直繞線結構，其應用於一雙層導線層之基板的局部剖視圖。

第2C圖繪示第2B圖之II-II線的剖視圖。

【圖式標記說明】

100：基板

110a、110b、110d、110e：介電層

110c：絕緣芯層

112a：貫孔

112b：開口

120：導線層

122：導線

124：接合墊

130a：鍍通插塞

130b：導通插塞

200、201：基板

202：疊合層

202a：頂面

202b：底面

210：介電層

212a：貫孔

220：導線層

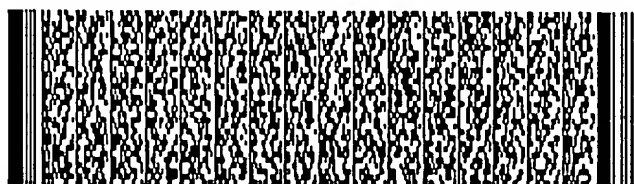
222：導線

230：垂直繞線結構

232：導電柱

234a：接合墊

234b：接合墊



六、申請專利範圍

1. 一種垂直繞線結構，適用於一基板，用以電性連接一第一導線及一第二導線，其中該第一導線及該第二導線係分別配置於該基板之一疊合層之一第一面及對應之一第二面，該垂直繞線結構包括：

一導電柱，貫穿該疊合層，且該導電柱之一第一面及對應之一第二面係分別暴露於該疊合層之該第一面及該第二面；

一第一接合墊，配置於該導電柱之該第一面，且該第一接合墊係連接於該第一導線，而該第一接合墊之橫向截面積係小於該導電柱之橫向截面積；以及

一第二接合墊，配置於該導電柱之該第二面，且該第二接合墊係連接於該第二導線。

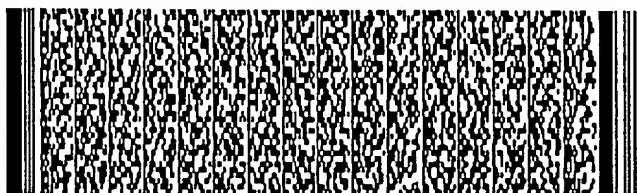
2. 如申請專利範圍第1項所述之垂直繞線結構，其中該第二接合墊之橫向截面積係小於該導電柱之橫向截面積。

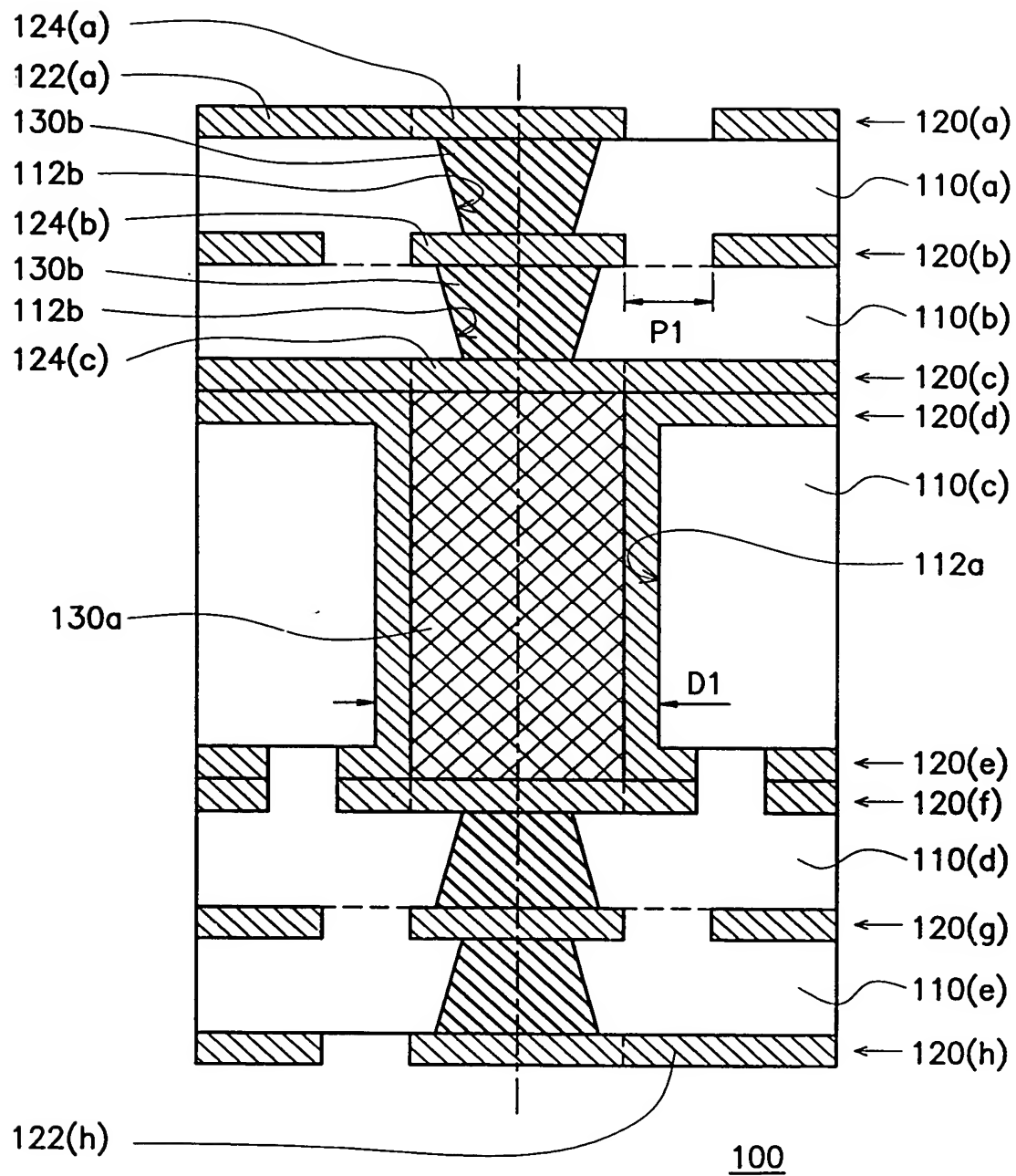
3. 如申請專利範圍第1項所述之垂直繞線結構，其中該疊合層係為一介電層。

4. 如申請專利範圍第1項所述之垂直繞線結構，其中該疊合層包括複數個介電層及至少一圖案化之導線層，而該導線層係配置介於任二相鄰之該些介電層之間。

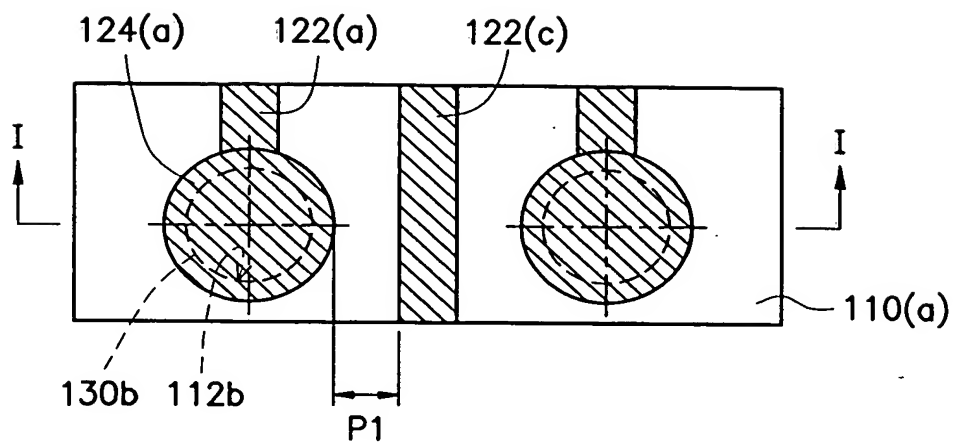
5. 如申請專利範圍第4項所述之垂直繞線結構，其中該導電柱之側緣係電性連接至該導線層。

6. 如申請專利範圍第4項所述之垂直繞線結構，其中該導電柱之側緣未電性連接至該導線層。

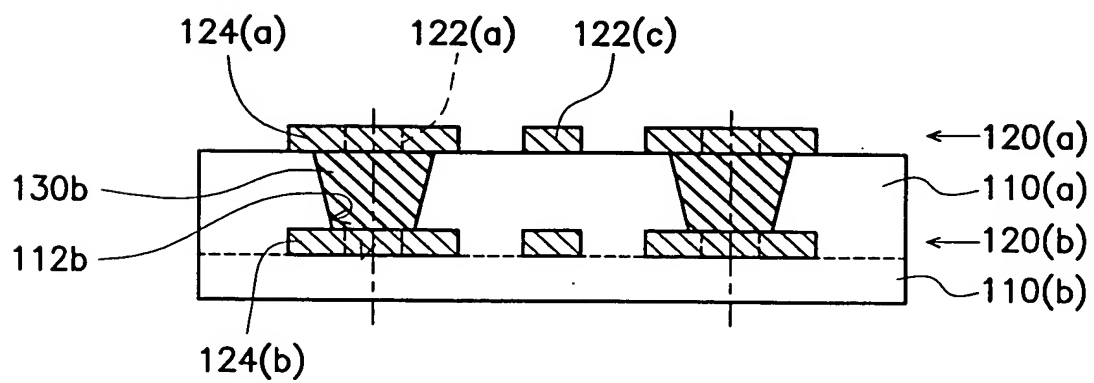




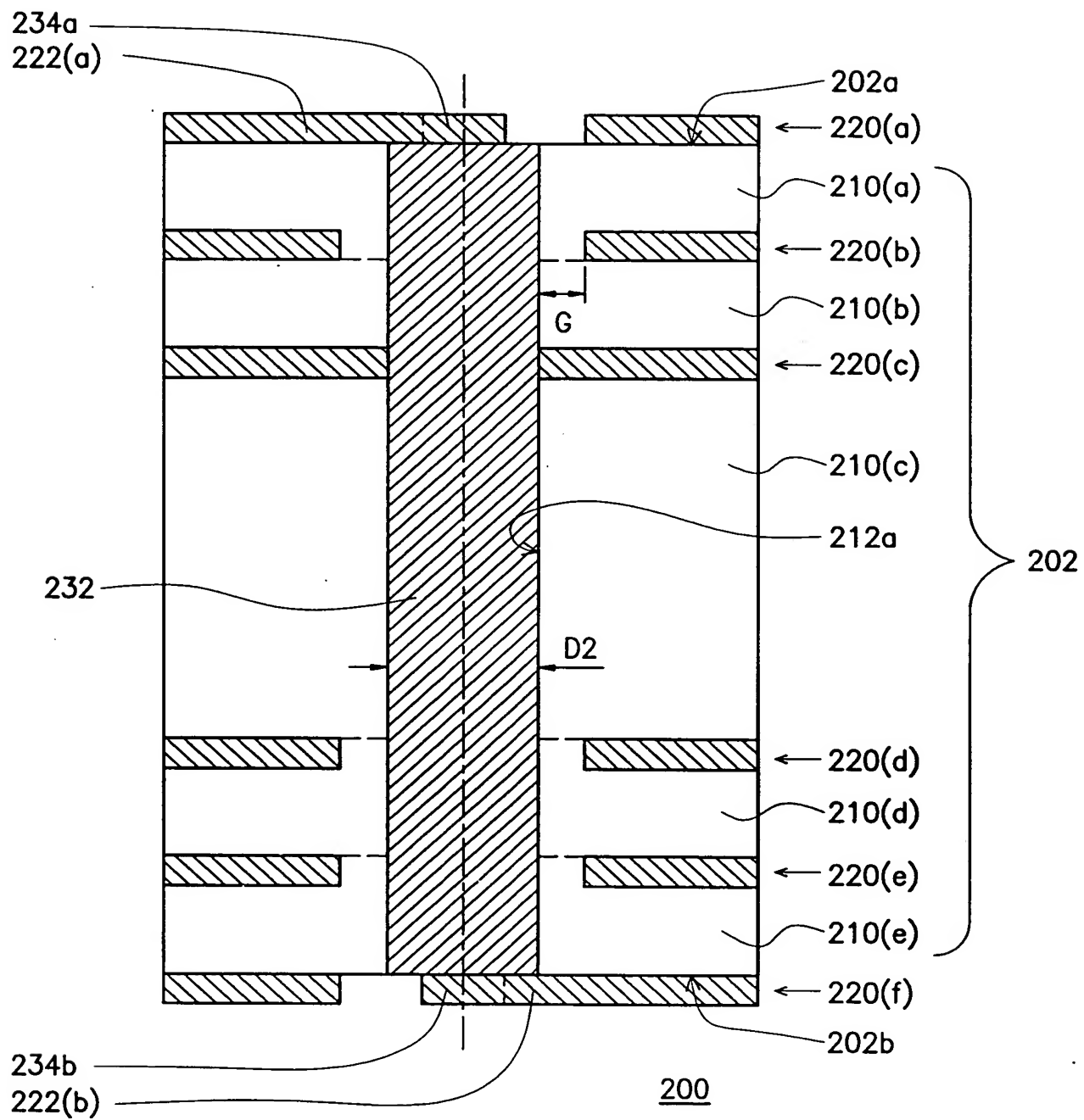
第 1A 圖



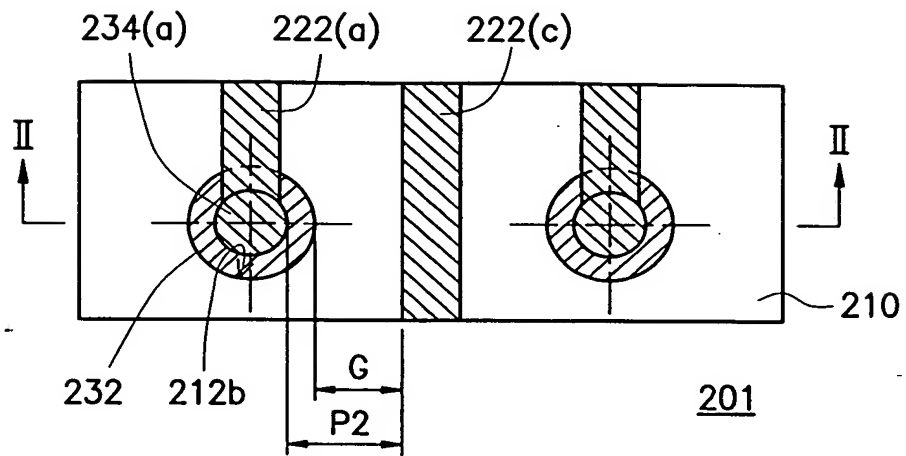
第 1B 圖



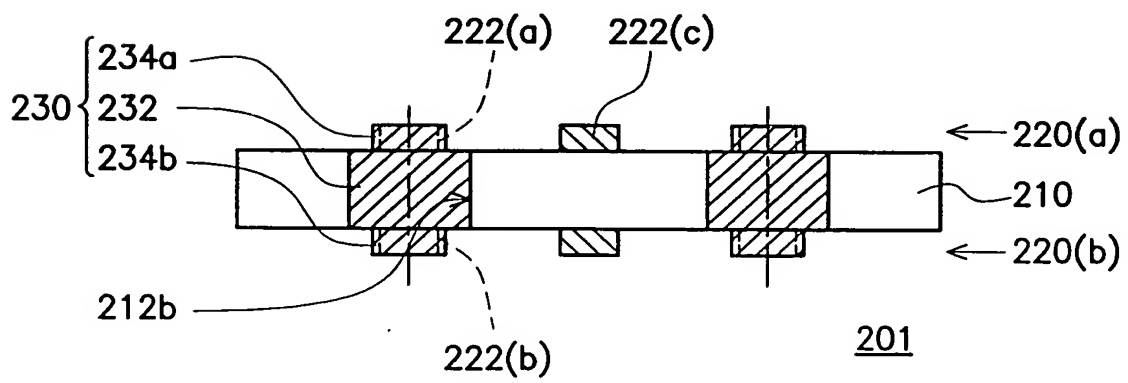
第 1C 圖



第 2A 圖

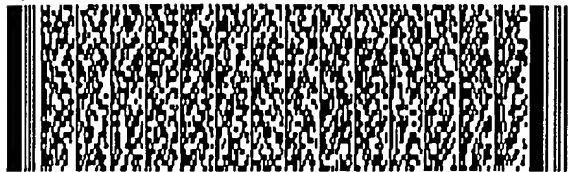


第 2B 圖



第 2C 圖

第 1/17 頁



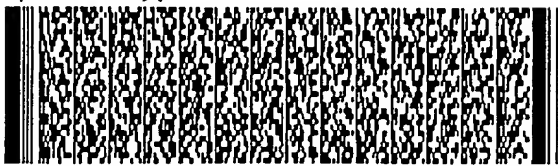
第 2/17 頁



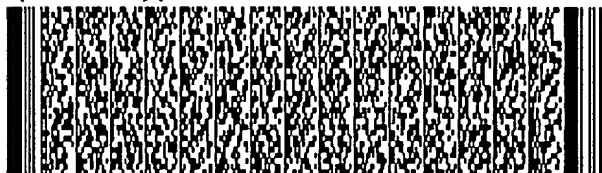
第 3/17 頁



第 3/17 頁



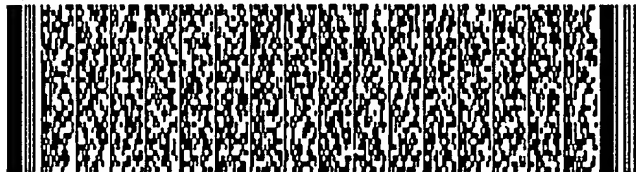
第 4/17 頁



第 5/17 頁



第 6/17 頁



第 6/17 頁



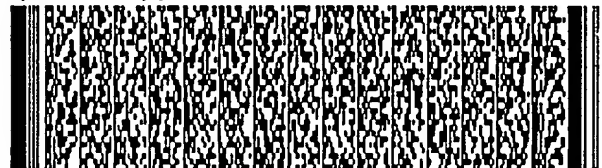
第 7/17 頁



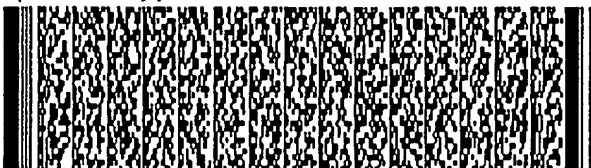
第 7/17 頁



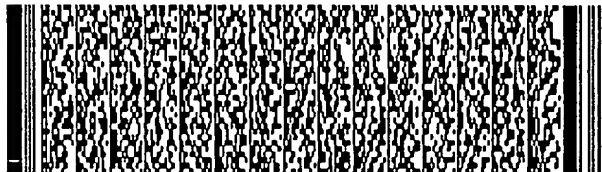
第 8/17 頁



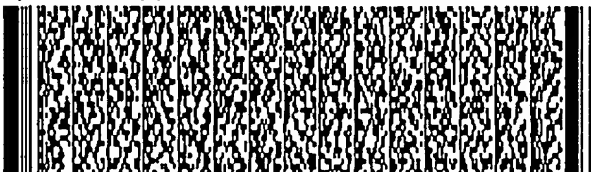
第 8/17 頁



第 9/17 頁



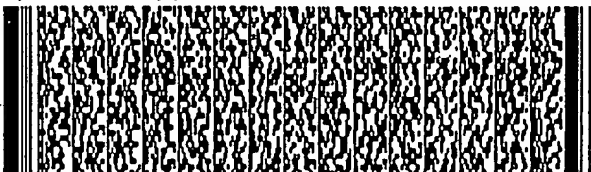
第 9/17 頁



第 10/17 頁



第 10/17 頁



第 11/17 頁



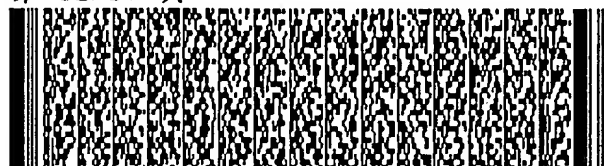
第 11/17 頁



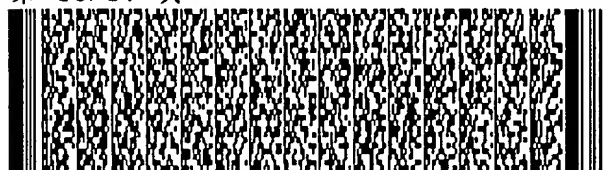
第 12/17 頁



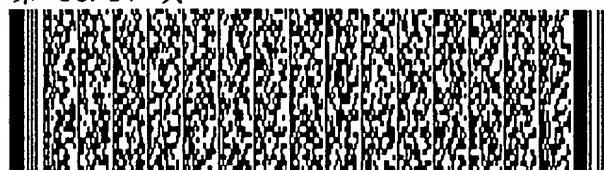
第 12/17 頁



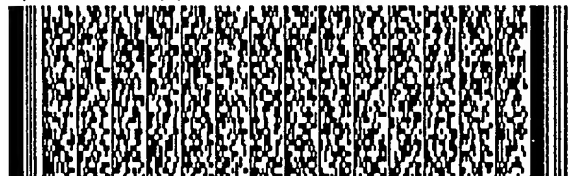
第 13/17 頁



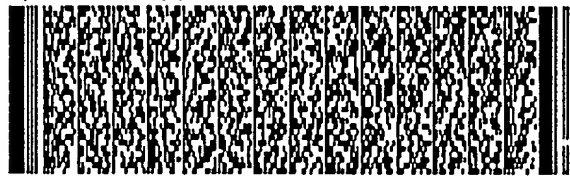
第 13/17 頁



第 14/17 頁



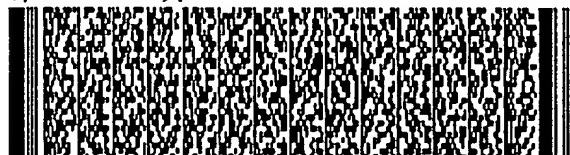
第 14/17 頁



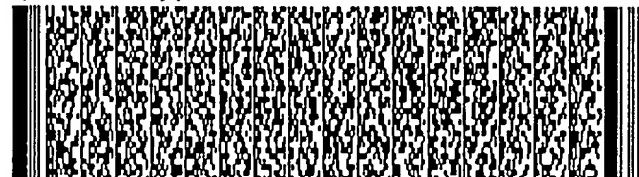
第 15/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

